

CERTIFICATE OF MAILING  
37 C.F.R. §1.8  
I hereby certify that this paper is being deposited with the U.S. Postal Service as First Class Mail, postage prepaid, in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on the date shown below:

Date _____	Susan F. Mahon _____
------------	----------------------

Docket No. 8733.20050

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Youn Gyoung CHANG et al.

GAU: To Be Assigned

SERIAL NO: To Be Assigned

EXAMINER: To Be Assigned

FILED: To Be Assigned

FOR: THIN FILM TRANSISTOR TYPE OPTICAL DETECTING SENSOR

**REQUEST FOR PRIORITY**

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

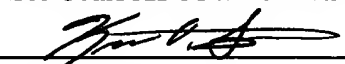
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Korea	99-17169	May 13, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
  - ☐ are submitted herewith
  - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

LONG ALDRIDGE & NORMAN LLP

  
Kenneth D. Springer  
Registration No. 39,843

Sixth Floor  
701 Pennsylvania Avenue, N.W.  
Washington, D.C. 20004  
Tel. (202) 624-1200  
Fax. (202) 624-1298

JCS84 U.S. PTO  
09/466961  
12/20/99

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

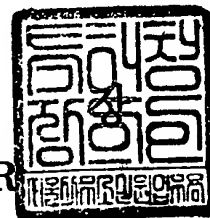
출원번호 : 1999년 특허출원 제17169호  
Application Number

출원년월일 : 1999년 5월 13일  
Date of Application

출원인 : 엘지엘시디 주식회사  
Applicant(s)

1999년 6월 29일

특허청  
COMMISSIONER



1999/6/30

【서류명】	출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	1999.05.13
【발명의 명칭】	박막트랜지스터형 광 감지센서와 그 제조방법
【발명의 영문명칭】	Thin film transistor type photo-sensor and a method for fabricating the same
【출원인】	
【명칭】	엘지엘시디 주식회사
【출원인코드】	1-1999-000833-0
【대리인】	
【성명】	정원기
【대리인코드】	9-1998-000534-2
【포괄위임등록번호】	1999-001832-7
【발명자】	
【성명의 국문표기】	이재균
【성명의 영문표기】	LEE, JAE KYUN
【주민등록번호】	680902-1110717
【우편번호】	431-080
【주소】	경기도 안양시 동안구 호계동 941-4번지
【국적】	KR
【발명자】	
【성명의 국문표기】	장윤경
【성명의 영문표기】	CHANG, YOUN GYOUNG
【주민등록번호】	720809-2042017
【우편번호】	435-040
【주소】	경기도 군포시 산본동 백두 동성아파트 958-201
【국적】	KR
【발명자】	
【성명의 국문표기】	김정현
【성명의 영문표기】	KIM, JEONG HYUN
【주민등록번호】	620620-1041516
【우편번호】	435-045
【주소】	경기도 군포시 광정동 1145 세종아파트 650-1101



1999/6/30

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의  
규정에 의한 출원심사 를 청구합니다. 대리인  
정원기 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

1 면 1,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

4 항 237,000 원

【합계】

267,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

【요약서】

【요약】

본 발명은 박막트랜지스터형 광 감지소자에 관한 것으로 이중구조의 소스전극과 드레인전극을 갖는 스위치-박막트랜지스터를 포함하는 박막트랜지스터형 광 감지소자에 관한 것이다. 더 상세히 설명하면, 스위치-박막트랜지스터의 요소 중 스위치-반도체층의 면적이 스위치-게이트전극의 면적보다 작은 경우 n+비정질실리콘의 음극콘택층을 포함한 상기 스위치-반도체층위에 먼저 반도체층과의 접촉저항이 큰 도전성 물질을 증착하고 연속으로 음극콘택층과의 접촉저항이 작은 도전성 물질을 증착함으로써 접촉저항이 큰 도전성 물질에 의해 리퀴지커런트인 홀-커런트가 억제되고, 다음으로 음극콘택층과 접촉저항이 작은 도전성 물질에 의해 온-커런트가 높아져 박막트랜지스터형 광 감지소자의 스위치 동작특성이 향상된다.

【대표도】

도 4c

【색인어】

박막트랜지스터형 광 감지소자, 스위치-박막트랜지스터, 이중구조의 소스전극과 드레인전극

1999/6/30

【명세서】

【발명의 명칭】

박막트랜지스터형 광 감지 센서와 그 제조방법 {Thin film transistor type photo-sensor and a method for fabricating the same}

【도면의 간단한 설명】

도 1은 종래의 스위치박막트랜지스터의 구성 중 옴익콘택층이 형성되지 않은 반도체층의 측면과 금속전극인 드레인전극과의 접촉부를 확대한 확대도이고,

도 2는 종래의 박막트랜지스터형 광 감지소자의 단면을 개략적으로 도시한 단면도이고,

도 3은 종래의 스위치-박막트랜지스터의 전이특성곡선을 나타낸 그래프이고,

도 4a 내지 도 4c는 본 발명에 따른 박막트랜지스터형 광 감지소자의 공정을 개략적으로 나타낸 공정 단면도이고,

도 5는 본 발명에 따른 스위치-박막트랜지스터의 전이특성곡선을 나타낸 그래프이다.

<도면의 주요부분에 대한 부호의 설명>

119 : 센서-반도체층                      121 : 스위치-반도체층  
133a : 이중 구조의 스위치-소스전극    127a : 센서-소스전극  
133b : 이중구조의 스위치-드레인전극   127b : 센서-드레인전극

1999/6/30

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 광 감지센서에 관한 것으로, 더 상세히 설명하면 센서부와 충전부와 스위치부와 윈도우를 포함하고 상기 센서부와 스위치부가 박막트랜지스터로 구성된 박막트랜지스터형 광 감지센서(Thin film transistor type photo-sensor)에 관한 것이다.
- <11> 상기 센서부는 광원으로부터 윈도우를 통과하여 피사체에 반사된 빛을 감지하여 광 전류(photo current)를 발생하는 수단이고, 상기 충전부는 상기 센서부에서 발생된 전류를 전하의 형태로 저장하는 수단이고, 상기 스위치부를 형성하는 스위치-박막트랜지스터는 외부의 구동 IC와 연동 하여 제어신호에 따라 상기 충전부에 저장된 전하를 선택적으로 외부로 방출하는 수단이다.
- <12> 따라서, 상기 센서-박막트랜지스터에서 광전류를 발생하는 직접적인 수단이 되는 액티브층(active layer : 이하 '반도체층')은 빛에 민감하고 광전변환이 활발하게 이루어지는 물질을 사용해야 한다.
- <13> 일반적으로, 상기 광 감지소자의 제조 공정에 있어서, 센서부의 센서-박막트랜지스터와 스위치부의 스위치-박막트랜지스터는 같은 구성을 가짐으로 거의 동시에 패터닝되어 형성된다.
- <14> 이때, 상기 센서-박막트랜지스터와 스위치-박막트랜지스터의 구성요소 중 액

1999/6/30

티브층을 형성할 경우는 센서의 역할과 스위치의 역할이 동시에 가능한 물질을 선택하는 것이 제품 양산화의 경우에 경제적이다.

<15> 따라서, 상기와 같은 물질로 수소를 포함한 비정질실리콘(a-Si:H)을 주로 사용하여, 비정질실리콘(a-Si:H)은 빛에 노출되면 광전변환을 일으켜 광 전류를 발생하나, 빛으로부터 차폐되면 반도체 고유의 성질을 나타내게 되어 위의 두 가지 사항을 만족하게 됨으로, 센서-박막트랜지스터와 스위치-박막트랜지스터의 액티브층을 형성하는 물질로 적당하다.

<16> 상기 비정질실리콘의 특성에 대해 설명하면, 비정질실리콘은 빛에 민감한 물질로서 비정질실리콘으로 형성된 반도체층이 빛에 노출되면 입사된 빛에 의해 반도체층의 표면에서 실리콘과 수소의 결합이 깨어지면서 전자와 정공쌍(electron-hole pair)이 생성되고, 이에 따라 반도체층을 이동할 수 있는 캐리어(Carrier)가 증가하게 됨으로써 광 전류가 발생하게 되고, 반대로 소정의 수단에 의해 빛을 차폐하면 아무런 반응을 보이지 않는다.

<17> 상기 스위치-반도체층은 빛에 의한 광-전류가 리퀴지 전류로 작용하기 때문에, 비정질실리콘을 스위치-반도체층으로 형성할 경우에는 반드시 상기 스위치-반도체층을 빛으로부터 차폐시켜야 하는 구조가 요구된다.

<18> 따라서, 정면으로 입사되는 빛을 막기위한 차광막을 구성하는 것 이외에도 백라이트로부터 발생되는 빛으로부터 스위치-반도체층을 차폐하기 위해 반도체층의 면적이 그 하부의 게이트전극의 면적보다 작도록 형성하였다.

<19> 도 1은 옴익콘택층이 증착되지 않은 반도체층(10)의 측면과 소스 및 드레인금

1999/6/30

속전극(14)의 구성을 확대한 확대도로서, 도 1에 도시한 바와같이, 음극콘택층(12)이 형성되지 않는 스위치-반도체층의 양측과 스위치소스 및 드레인전극(14)이 접촉하는 접촉부(W)에서 상기 스위치소스 및 드레인전극(14)이 금속전극임으로 리퀴지커런트(Leakage current)인 홀-커런트가 블로킹(blocking)되지 않아 스토리지캐패시터에 저장된 전하가 스위치-박막트랜지스터를 통해 누설되는 단점이 있다. 따라서, 종래에는 상기 저항이 낮은 금속전극을 사용하였을 경우 낮은 저항으로 인해 홀-커런트를 블로킹하지 못함으로 홀-커런트인 리퀴지커런트를 억제하기 위해, 일반적인 금속전극에 비해 접촉저항이 큰 투명한 금속인 인듐틴옥사이드(Indium-tin-oxide : 이하 'ITO'라 칭함)전극을 사용하여 홀-커런트를 억제하였다.

<20> 더 자세히 설명하면, 도 2는 종래의 박막트랜지스터형 광 감지소자의 단면을 개략적으로 도시한 단면도로서, 먼저 글라스기판(10)위에 광 감지소자의 구성요소인 윈도우 영역(D), 센서-박막트랜지스터영역(C), 충전부(B), 스위치-박막트랜지스터영역(A)을 정의한 다음 상기 유리기판(10)위에 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 알루미늄(Al)등의 도전성 금속을 증착하고 패터닝하여 상기 센서-박막트랜지스터영역에 센서-게이트전극(11)을, 상기 충전부(B)에는 제 1 스토리지전극(13)을, 상기 스위치-박막트랜지스터영역(A)에는 스위치-게이트전극(15)을 형성한다.

<21> 다음으로 상기 각 스위치-게이트전극(15)과 제 1 스토리지전극(13)과 센서-게이트전극(11)이 형성된 기판의 전면에 걸쳐 실리콘옥사이드( $\text{SiO}_2$ ), 실리콘

1999/6/30

나이트 라이드( $\text{SiN}_x$ ), 알루미늄옥사이드( $\text{Al}_2\text{O}_3$ )등의 절연물질을 증착하여 제 1 절연층(17)을 형성한다.

<22> 다음으로 상기 제 1 절연층(17)위에 비정질실리콘을 증착하고, 연속으로 p+ 또는 n+의 불순물반도체층을 증착한후, 패터닝하여 상기 센서-게이트전극(11)과 상기 스위치-게이트전극 상부의 제 1 절연층(17)위에 각각 아일랜드형태로 센서-반도체층(19)과 스위치-반도체층(21)을 형성하고, 상기 각 반도체층 상부의 양측 끝단에 이격된 스위치 옴익콘택층(25a)(25b)과 센서 옴익콘택층(23a)(23b)을 각각 형성한다.

<23> 이때, 상기 스위치-반도체층(21)에 조사될 수 있는 백라이트의 빛을 차폐하기 위해 상기 스위치-반도체층(21)은 상기 불투명 금속전극인 스위치-게이트전극(15)의 면적보다 작게 형성되어야 한다.

<24> 전술한 바와 같은 구조를 채용하지 않는다면, 백라이트에 의해 조사된 빛에 의해 상기 스위치-반도체층에서 광전변환이 발생하게 되고, 이로 인해 발생한 광전류는 리퀴지전류로서 스위치 동작특성을 저하시키는 원인이 된다.

<25> 또한, 상기 옴익콘택층은 추후 형성될 전극과 반도체층(19)(21)과의 접촉저항을 낮추기 위한 수단이 된다.

<26> 다음으로, 상기 각 반도체층이 형성된 제 1 절연층(17)위의 전면에 접촉저항이 큰 투명한 도전성 금속인 ITO를 증착하고 패터닝하여, 상기 스위치 옴익콘택층(25a)(25b)과 상기 센서 옴익콘택층(23a)(23b)과 각각 평면적으로 겹쳐 지는 스위치 소스 및 드레인전극(31a)(31b)과 센서-소스 및 드레인전극(27a)(27b)을

1999/6/30

형성하고, 상기 제 1 스토리지전극(13)상부에 제 2 스토리지 전극(29)을 형성한다.

<27> 이때, 상기 ITO전극은 도 1의 J 부분처럼 반도체층의 양측과 접촉하게 되며, 또한, 상기 제 2 스토리지 전극(29)의 양단은 상기 센서-소스전극(27b)과 상기 스위치-드레인전극(31a)과 전기적으로 연결되도록 동시에 패터닝되어 형성된다.

<28> 다음으로 상기 스위치-소스 및 드레인전극과(31b)(31a), 상기 제 2 스토리지 전극(29)과, 상기 센서-소스 및 드레인전극(27b)(27a)이 형성된 층 상에 절연 물질을 증착하여 제 2 절연층(33)을 형성한다.

<29> 다음으로 상기 제 2 절연층(33)위에 금속을 증착하고 패터닝하여 상기 반도체 층 위에 차광막(35)을 형성한다.

#### 【발명이 이루고자 하는 기술적 과제】

<30> 도 3는 상기 스위치-소스전극과 스위치-드레인전극을 금속으로 사용하였을 경우(34)와 투명한 ITO전극으로 사용하였을 경우(36)에 게이트전압에 대한 소스-드레인 전류값을 나타낸 것으로 전자의 경우 오프-커런트영역에서 게이트전압이 음의 방향으로 커질수록 전류값이 상당히 커지는 것을 알 수 있으며, 보통 이러한 전류를 리퀴지전류라 한다.

<31> 후자의 경우(36)에는 리퀴지전류는 작아지는 대신 소자를 동작하는 온-커런트가 또한, 작아지는 것을 알 수 있다.

<32> 다시 말하면, 투명한 ITO전극으로 스위치-소스전극과 스위치-드레인전극을 형성하여 스위치-반도체층에서의 리퀴지전류를 줄였다 할지라도 상기 투명전극의

1999/6/30

큰 접촉저항으로 인해 스위치소자를 구동하는 온-커런트를 낮추게 되어 동작특성이 상당히 저하되는 문제점이 있다.

<33> 따라서, 본 발명은 상기 스위치 소스전극과 드레인전극을 이중구조로 형성하여 리퀴지커런트를 줄임과 동시에 온-커런트를 높여 광 감지소자의 동작특성을 향상시키는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<34> 전술한 바와 같은 목적을 달성하기 위해, 본 발명에 따른 박막트랜지스터형 광 감지소자는 피사체에 반사하여 입사된 빛에 의해 광전류를 유발하는 센서박막트랜지스터와; 상기 센서박막트랜지스터에서 형성된 광전류를 전하의 형태로 저장하는 충전부와; 게이트전극과, 상기 게이트전극의 상부에 절연층위에 아일랜드형태의 반도체층과, 상기 반도체층상부 양단에 위치하여 서로 이격되어 형성된 옴익콘택층과, 상기 옴익콘택층이 형성된 방향의 상기 반도체층의 양측면과 상기 옴익콘택층의 상부 일부와 겹치는 투명전극과, 상기 투명전극이 겹치지않은 일부 옴익콘택층과 상기 투명전극과 동시에 접촉하는 소스 및 드레인전극과, 상기 소스 및 드레인전극 상부 보호층위에 형성된 차광막을 포함하고, 상기 충전부와 연결되어 외부의 신호에 따라 충전부의 전하를 외부로 방출하는 스위치박막트랜지스터를 포함한다.

<35> 바람직하게는 상기 스위치박막트랜지스터의 옴익콘택층과 투명전극에 동시에 접촉하는 소스 및 드레인전극은 텅스텐(W), 몰리브덴(Mo)등인 것을 특징으로 한다.



1999/6/30

<36> 본 발명의 특징에 따른 박막트랜지스터형 광 감지소자의 제조방법은 기판을 구비하는 단계와; 상기 기판위에 도전성금속을 증착하고 패터닝하여 스위치박막트랜지스터 영역에는 스위치게이트전극을, 충전부에는 제 1 스토리지전극을, 센서박막트랜지스터영역에는 센서게이트전극을 형성하는 단계와; 상기 센서게이트전극과, 제 1 스토리지전극과, 스위치게이트전극이 형성된 기판위에 절연물질과, 비정질실리콘과,  $n+$  또는  $p+$  비정질실리콘을 연속으로 증착하여 제 1 절연층과 비정질실리콘층과 불순물반도체층을 형성하고, 비정질실리콘층과 불순물반도체층을 동시에 패터닝하여 상기 스위치게이트전극과 센서게이트전극의 상부에 아일랜드형태로 각각 스위치반도체층과 센서반도체층과, 상기 각 반도체층 상부의 양측단에 서로 이격되어 위치하는 옴익콘택층을 형성하는 단계와; 상기 각 옴익콘택층이 형성된 기판의 전면에 걸쳐 투명도전성금속을 증착하고 패터닝하여, 상기 센서옴익콘택층과 평면적으로 겹치는 센서소스 및 드레인전극과, 상기 스위치옴익콘택층의 일부와 겹치는 제 1 스위치소스 및 드레인전극과, 제 1 스토리지전극 상부에 상기 센서소스전극과 상기 제 1 스위치드레인전극과 연결된 제 2 스토리지전극을 형성하는 단계와; 상기 제 1 스위치소스 및 드레인전극이 겹치지 않은 일부 옴익콘택층 상부와 제 1 스위치소스 및 드레인전극에 동시에 접촉저항이 큰 도전성금속을 증착하고 패터닝하여 옴익콘택층과 제 1 스위치소스 및 드레인전극에 평면적으로 겹치는 제 2 스위치소스 및 드레인전극을 형성하는 단계와; 상기 제 2 스위치소스 및 드레인전극이 형성된 기판의 전면에 절연물질을 증착하여 보호층을 형성하는 단계와; 상기 보호층상

<37> 의 스위치반도체채널의 상부에 차광막을 형성하는 단계를 포함한다.

1999/6/30

- <38> 바람직하게는, 상기 제 2 스위치소스 및 드레인전극은 몰리브덴(Mo), 텅스텐(W)등의 도전성 금속인 것을 특징으로 한다.
- <39> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명하도록 한다.
- <40> -- 실시예 --
- <41> 본 발명은 반도체층의 면적이 그 하부의 게이트전극의 면적보다 작은 박막트랜지스터 구조에서, 음의콘택층이 형성되지 않는 반도체층과 금속전극의 접합면에 발생할 수 있는 리퀴지커런트인 홀-커런트를 줄이기 위해 접촉저항이 큰 투명전극을 사용한 종래의 구조에서 투명전극의 큰 접촉저항 때문에 감소하는 온-커런트값을 높여 주는 방법으로 상기 투명전극 위에 몰리브덴(Mo)과 같은 접촉저항이 낮은 금속전극을 다시 적층하는 이중구조를 형성하였다.
- <42> 더욱 자세히 설명하면, 도 4a 내지 도 4c는 본 발명에 따른 광 감지소자의 개략적인 공정을 순서대로 나열한 공정단면도로서, 도 4a에 도시한 바와 같이 기판(121) 위에 몰리브덴(Mo), 텅스텐(W), 알루미늄(Al) 등의 도전성금속을 증착하고 패터닝하여 센서-박막트랜지스터영역(G)에 센서-게이트-전극(111), 충전부(F)에는 제 1 스토리지전극(113), 스위치-박막트랜지스터영역(E)에는 스위치-게이트전극(115)을 형성한다.
- <43> 다음으로 도 4b에 도시한 바와같이, 상기 스위치-게이트전극(115), 제 1 스토리지전극(113), 센서-게이트전극(111)이 형성된 기판의 전면에 걸쳐 산화알루미늄( $Al_2O_x$ ), 실리콘옥사이드( $SiO_x$ ), 탄탈옥사이드( $TaO_x$ )등의 절연물질과, 수소를 포함한 비정질실리콘과, n+ 또는 p+의 불순물을 포함한 비정질실리콘을 연속

1999/6/30

으로 증착하여 제 1 절연층과 비정질실리콘층과 불순물실리콘층을 형성하고, 상기 비정질실리콘층과 불순물실리콘층을 동시에 패터닝하여, 상기 센서-게이트전극(111)과 스위치-게이트전극(115)의 상부에 아일랜드형태로 센서-반도체층(119)과 스위치-반도체층(119)을 형성하고, 상기 각 반도체층 상부에 각각 이격된 센서 음극콘택층(123a)(123b)과 스위치 음극콘택층(125a)(125b)을 형성한다.

<44>       상기 스위치-박막트랜지스터(E)의 구조에서 스위치-반도체층(121)과 스위치-게이트전극(115)의 구조에서 상기 스위치-게이트전극(115)을 이용하여 백라이트의 빛이 스위치-게이트전극(115)의 상부에 형성된 스위치-반도체층(121)에 조사되는 것을 방지 할 수 있다.

<45>       또한, 상기 센서-박막트랜지스터(G)의 구조에서 센서-반도체층의 면적이 상기 센서-게이트전극의 면적보다 작은 구조일 경우 하부광원에 의해 발생할 수 있는 필요 없는 전류의 발생을 억제할 수 있으므로 신호대 잡음비(S/N ratio)를 줄일 수 있다.

<46>       다음으로, 상기 음극콘택층이 형성된 센서-반도체층(119)과 스위치-반도체층(121)을 포함하는 절연층(117)의 전면에 반도체층과의 접촉저항이 큰 투명 ITO 전극과 같은 도전성물질을 증착하고 패터닝하여, 상기 센서 음극콘택층과 (123a)(123b)과 평면적으로 겹쳐진 센서-소스전극(127a)과 센서-드레인전극(127b)을 형성하고, 상기 제 1 스토리지전극(113)상부에 상기 센서-소스전극으로 부터 연장된 제 2 스토리지전극(131)을 형성하고, 상기 스위치 음극콘택층(125a)(125b)과 평면적으로 겹쳐지는 스위치전극(129a)(129b)을 형성한다.

1999/6/30

- <47>       상기 제 2 스토리지 전극은 상기 센서-소스전극(127a)과 스위치전극(129b)에 일체로 형성한다.
- <48>       상기 서로 이격된 스위치전극(129a)(129b)은 상기 음극콘택층(125a)(125b)과 평면적으로 겹쳐 형성하되 B 부분과 같이 반도체채널 부근의 음극콘택층이 소정간격( $\Delta L$ )노출되도록 한다.
- <49>       다음으로 도 4c에 도시한 바와 같이, 상기 스위치전극(129a)(129b)과 이들 전극사이에 소정간격 노출된 스위치-반도체층(121)과, 제 2 스토리지전극(131)과, 센서-소스전극(127a)과, 센서-드레인전극(127b)과 이들 전극사이에 노출된 센서-반도체층(119)위에 전술한 도전성금속물질을 증착하고 패터닝하여, 상기 스위치-전극(129a)(129b)과 평면적으로 겹쳐지도록 형성하되, 상기 도전성 금속물질이 상기 스위치전극(129a)(129b)과 상기 소정간격( $\Delta L$ )노출된 각 음극콘택층(125a)(126b)과 평면적으로 겹쳐지는 2 중구조의 스위치-소스전극(133a)과 스위치-드레인전극(133b)을 형성한다.
- <50>       다음으로 상기 스위치-소스 및 드레인전극과 이들 전극사이에 노출된 스위치-반도체층과 상기 제 2 스토리지전극과 상기 센서-소스 및 드레인전극과 이들 전극사이에 노출된 센서-반도체층위에 절연물질을 증착하여 제 2 절연층(135)을 형성한다.
- <51>       다음으로 상기 제 2 절연층위에 금속을 증착하고 패터닝하여 상기 스위치-반도체층의 상부에 차광막(137)을 형성한다.
- <52>       상기 차광막은 전면에서 스위치반도체층으로 입사되는 빛에 의해 반도체층이

1999/6/30

열화되는 것을 막기 위한 수단이다.

<53> 도 5는 상기 스위치-소스전극(133a)과 스위치-드레인전극(133b)을 금속으로 사용 할 경우의 전이특성곡선(Transfer curve)(41)과, 접촉저항이 큰 투명전극으로 사용할 경우의 전이특성곡선(43)과, 접촉저항이 큰 투명전극과 접촉저항이 낮은 금속전극을 연속으로 증착한 이중구조일 경우의 전이특성곡선(41)을 나타낸 것이다.

<54> 도시한 바와 같이, 접촉저항이 낮은 금속을 이용하여 스위치-소스전극과 스위치-드레인전극을 형성할 경우(41)에는 음극콘택층이 형성되지않은 반도체층의 양 측면과 스위치-소스전극과 스위치-드레인전극과의 접합부분에서 발생하는 홀-커런트에 의한 리퀴지 전류가 상당히 크다는 것을 알수 있다. 또한, 상기 리퀴지전류를 억제하기 위해 접촉저항이 큰 투명전극으로 사용할 경우(43)에는 리퀴지전류는 억제되는 반면 온-커런트가 상당히 낮아짐을 알 수 있다.

<55> 다음으로 접촉저항이 큰 투명전극을 먼저 증착하고 다음으로 접촉저항이 낮은 금속을 적층한 이중구조일 경우(45)는 접촉저항이 큰 전극에 의해 홀-커런트인 리퀴지전류의 흐름을 억제할 수 있고, 접촉저항이 낮은 전극이 반도체층과 가까운 음극콘택층과 평면적으로 겹쳐 형성됨으로써 금속전극을 사용하였을 경우와 같은 수준의 온-커런트를 얻을 수 있다.

#### 【발명의 효과】

<56> 본 발명에 따른 박막트랜지스터형 광 감지소자는 스위치부를 구성하는

1999/6/30

스위치-소스전극과 스위치-드레인전극을 형성할 때 먼저, 접촉저항이 큰 도전성물질을 증착하고 접촉저항이 작은 도전성물질을 차례로 적층하여 형성함으로써 다음과 같은 효과가 있다.

<57> 첫째, 리퀴지전류를 억제하고 높은 값의 온-커런트를 얻을 수 있기 때문에 안정된 스위치 동작특성을 얻을 수 있다.

<58> 둘째, 상기 스위치-소스전극과 스위치-드레인전극을 접촉저항이 큰 투명한 ITO전극으로 형성할 경우에는 센서-소스전극과 센서-드레인전극 또한 동일물질로 형성되기 때문에 센서-소스전극 및 드레인전극과 센서-반도체층과 겹쳐진 영역까지도 수광영역으로 사용할 수 있음으로 센서부의 광 감도를 높일 수 있다.

1999/6/30

**【특허청구범위】**

**【청구항 1】**

피사체에 반사하여 입사된 빛에 의해 광전류를 유발하는 센서박막트랜지스터와;

상기 센서박막트랜지스터에서 형성된 광전류를 전하의 형태로 저장하는 충전부와;

게이트전극과, 상기 게이트전극의 상부에 절연층위에 아일랜드형태의 반도체층과, 상기 반도체층상부 양단에 위치하여 서로 이격되어 형성된 옴익콘택층과, 상기 옴익콘택층이 형성된 방향의 상기 반도체층의 양측면과 상기 옴익콘택층의 상부 일부와 겹치는 투명전극과, 상기 투명전극이 겹치지않은 일부 옴익콘택층과 상기 투명전극과 동시에 접촉하는 소스 및 드레인전극과, 상기 소스 및 드레인전극 상부 보호층위에 형성된 차광막을 포함하고, 상기 충전부와 연결되어 외부의 신호에 따라 충전부의 전하를 외부로 방출하는 스위치박막트랜지스터

를 포함하는 박막트랜지스터형 광 감지센서.

**【청구항 2】**

제 1 항에 있어서,

상기 스위치박막트랜지스터의 옴익콘택층과 투명전극에 동시에 접촉하는 소스 및 드레인전극은 텅스텐(W), 몰리브덴(Mo)등의 도전성금속인 박막트랜지스터형 광 감지센서.

1999/6/30

【청구항 3】

기판을 구비하는 단계와;

상기 기판위에 도전성금속을 증착하고 패터닝하여 스위치박막트랜지스터 영역에는 스위치게이트전극을, 충전부에는 제 1 스토리지전극을, 센서박막트랜지스터 영역에는 센서게이트전극을 형성하는 단계와;

상기 센서게이트전극과, 제 1 스토리지전극과, 스위치게이트전극이 형성된 기판위에 절연물질과, 비정질실리콘과, n+ 또는 p+ 비정질실리콘을 연속으로 증착하여 제 1 절연층과 비정질실리콘층과 불순물반도체층을 형성하고, 비정질실리콘층과 불순물반도체층을 동시에 패터닝하여 상기 스위치게이트전극과 센서게이트전극의 상부에 아일랜드형태로 각각 스위치반도체층과 센서반도체층과, 상기 각 반도체층 상부의 양측단에 서로 이격되어 위치하는 음극콘택층을 형성하는 단계와;

상기 각 음극콘택층이 형성된 기판의 전면에 걸쳐 투명도전성금속을 증착하고 패터닝하여, 상기 센서음극콘택층과 평면적으로 겹치는 센서소스 및 드레인전극과, 상기 스위치음극콘택층의 일부와 겹치는 제 1 스위치소스 및 드레인전극과, 제 1 스토리지전극 상부에 상기 센서소스전극과 상기 제 1 스위치드레인전극과 연결된 제 2 스토리지전극을 형성하는 단계와;

상기 제 1 스위치소스 및 드레인전극이 겹치지 않은 일부 음극콘택층 상부와 제 1 스위치소스 및 드레인전극에 동시에 접촉저항이 큰 도전성금속을 증착하고 패터닝하여 음극콘택층과 제 1 스위치소스 및 드레인전극에 평면적으로 겹치는 제 2 스위치소스 및 드레인전극을 형성하는 단계와;

1999/6/30

상기 제 2 스위치소스 및 드레인전극이 형성된 기판의 전면에 절연물질을 증착하여 보호층을 형성하는 단계와;

상기 보호층상의 스위치반도체채널의 상부에 차광막을 형성하는 단계를 포함하는 박막트랜지스터형 광 감지소자.

**【청구항 4】**

제 3 항에 있어서,

상기 제 2 스위치소스 및 드레인전극은 몰리브덴(Mo), 텅스텐(W)등의 도전성 금속인 박막트랜지스터형 광 감지소자 제조방법.



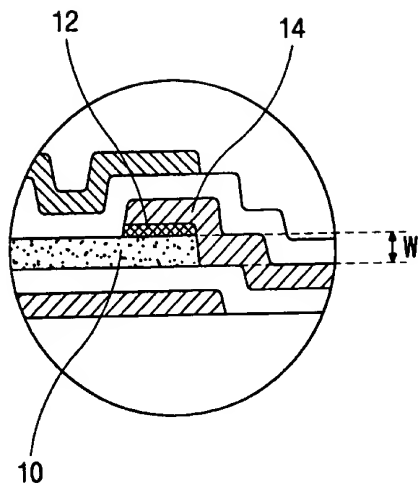
1999/6/30



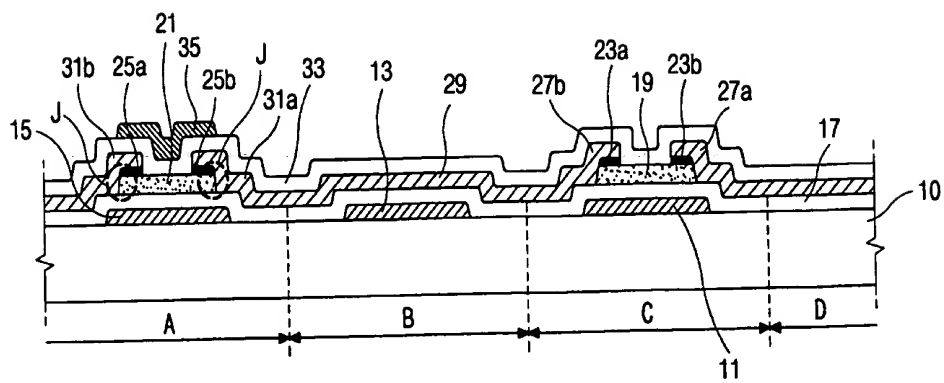
1999/6/30

【도면】

【도 1】

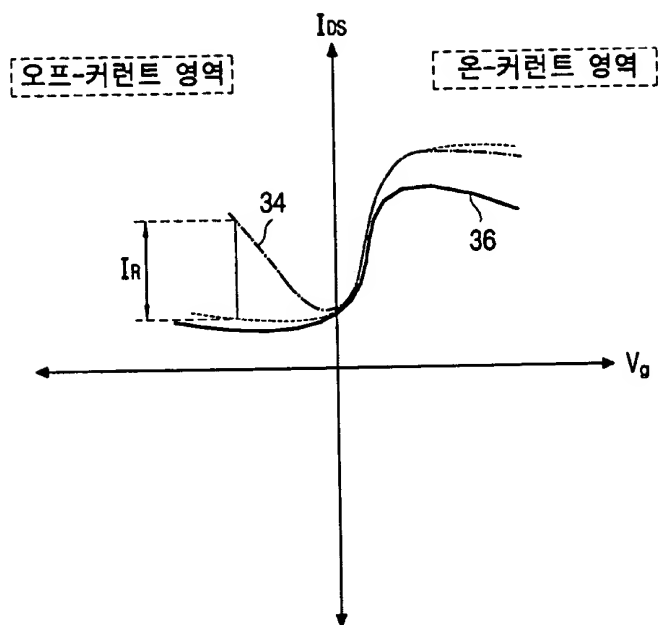


【도 2】

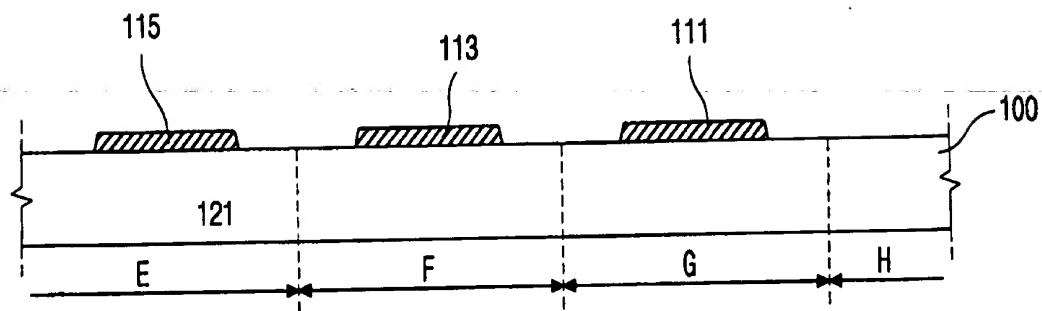


1999/6/30

【도 3】

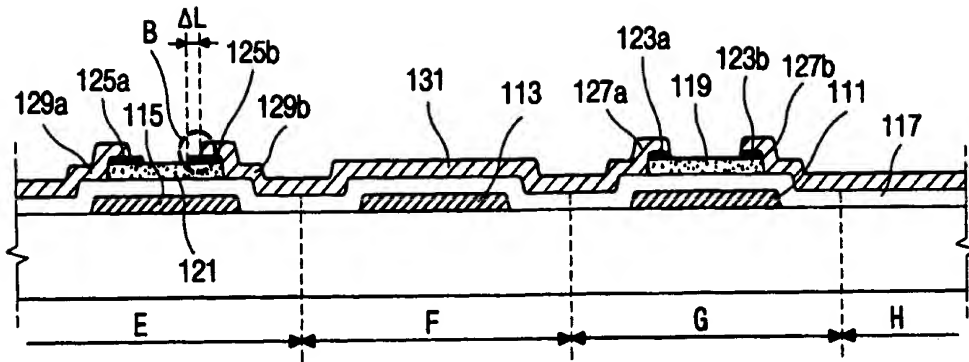


【도 4a】

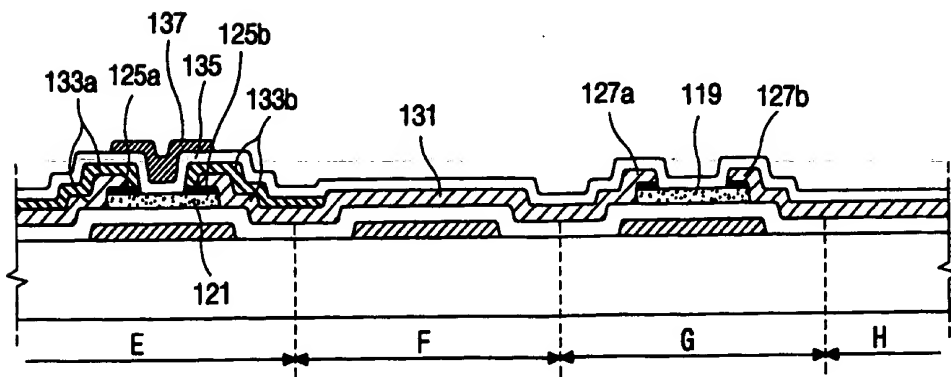


1999/6/30

【도 4b】



【도 4c】



1999/6/30

【도 5】

